

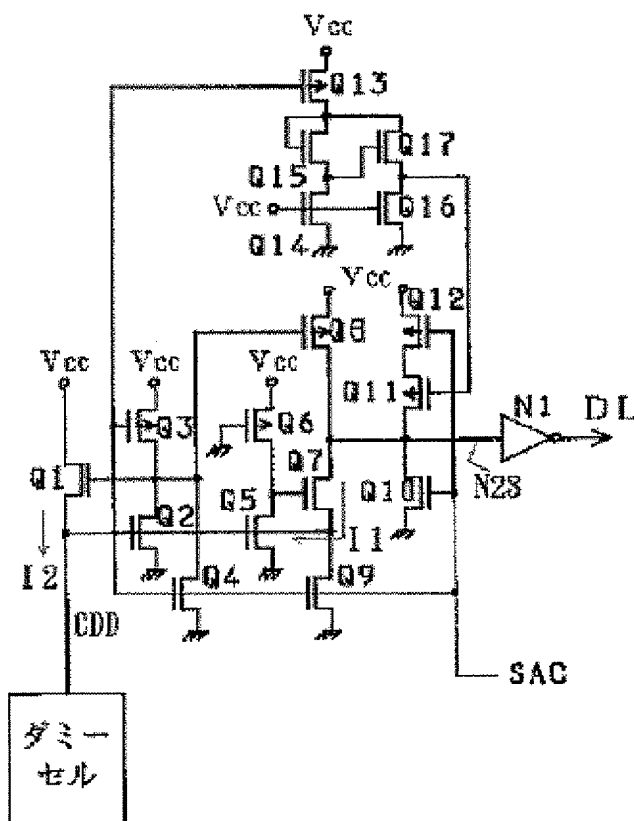
## SEMICONDUCTOR STORAGE

Patent number: JP6060678  
Publication date: 1994-03-04  
Inventor: OMIYA ATSUO; KANEKO MASARU; ISHIBASHI KENICHI; IWABUCHI MASARU  
Applicant: HITACHI LTD; HITACHI HOKKAI SEMICONDUCTOR  
Classification:  
- international: **G11C17/00; G11C16/06; H01L21/8247; H01L29/788; H01L29/792; G11C17/00; G11C16/06; H01L21/70; H01L29/66; (IPC1-7): G11C16/06; H01L29/788; H01L29/792**  
- european:  
Application number: JP19920234272 19920810  
Priority number(s): JP19920234272 19920810

Report a data error here

### Abstract of JP6060678

**PURPOSE:** To remove the influence of a variation in a power source voltage and to accurately detect a reading completion timing by providing an initial amplifier of a source input to supply a current by reading in synchronization with a selecting operation of a storage array. **CONSTITUTION:** A dummy data line is selected in synchronization with a selecting operation of a storage array, and a potential of a dummy common data line CDD is raised by currents  $I_1$ ,  $I_2$ . When it reaches a predetermined level, precharging of a line CCD is finished to become a predetermined potential. A potential of a drain side node N23 of an amplifier MOSFET Q7 is raised toward a power source voltage VCC by supplying currents of MOSFETs Q8, Q11 at completion of the operation. When it reaches a threshold value of a CMOS inverter N1, an output signal DL is varied from low to high, and a reading complete timing signal DL is formed. A threshold value of the circuit N1 is set to an intermediate between a high level of the line CDD and the voltage VCC, thereby obtaining a signal DL accurately corresponding to a reading timing.



**Family list****1** family member for: **JP6060678**

Derived from 1 application

**1 SEMICONDUCTOR STORAGE****Inventor:** OMIYA ATSUO; KANEKO MASARU; (+2)**Applicant:** HITACHI LTD; HITACHI HOKKAI  
SEMICONDUCTOR**EC:****IPC:** *G11C17/00; G11C16/06; H01L21/8247*  
(+9)**Publication info:** **JP6060678 A** - 1994-03-04Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-60678

(43) 公開日 平成6年(1994)3月4日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

G11C 16/06

H01L 29/788

29/792

6741-5L

G11C 17/00

309

B

H01L 29/78

371

審査請求 未請求 請求項の数 3 (全10頁)

(21) 出願番号 特願平4-234272

(22) 出願日 平成4年(1992)8月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 近江谷 厚生

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(72) 発明者 金子 優

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 弁理士 徳若 光政

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

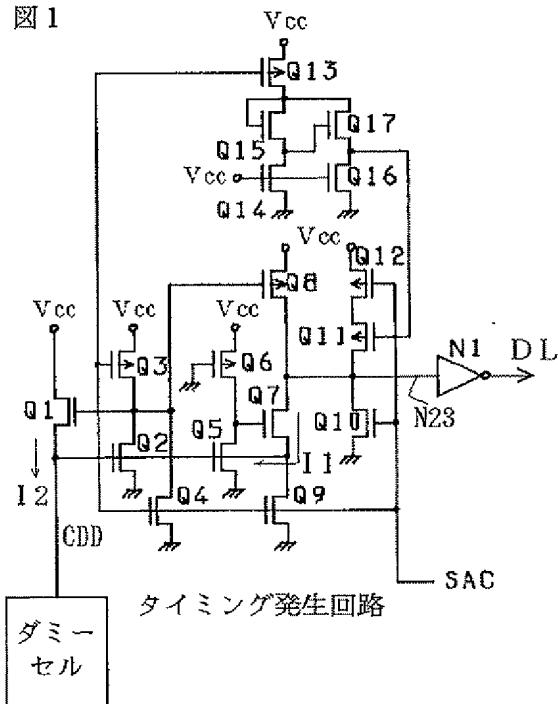
(57) 【要約】

【目的】 メモリセルの読み出し終了タイミングを正確に検出できる機能を付加した半導体記憶装置を提供する。

【構成】 メモリアレイのワード線の選択レベルに対して高いしきい値電圧を持つようにされたダミーセルに対して、メモリアレイと選択動作に同期して選択するダミー選択回路を通して読み出し電流を供給するソース入力の増幅MOSFETを含む初段増幅回路を設け、この増幅MOSFETのドレイン出力に基づいて読み出し終了のタイミング信号を発生させる。

【効果】 ダミーセルが接続されたデータ線のプリチャージ電流が流れなくなることに応じて、増幅MOSFETのドレイン出力が負荷により電源電圧まで高くなるので簡単に読み出し完了タイミングを知ることができる。

図1



## 【特許請求の範囲】

【請求項 1】 ワード線の選択レベルに対して低いしきい値電圧が高いしきい値電圧を持つようにされた記憶素子がワード線とデータ線の交点にマトリックス配置されてなるメモリアレイと、上記ワード線の選択レベルに対して高いしきい値電圧を持つようにされたダミーセルと、上記ダミーセルを上記メモリアレイと選択動作に同期して選択するダミー選択回路と、このダミー選択回路を通してダミーセルに対して読み出し電流を供給するソース入力の増幅 MOS FET を含む初段増幅回路と、この増幅 MOS FET のドレイン出力に基づいて読み出し終了のタイミング信号を発生させる回路とを備えてなることを特徴とする半導体記憶装置。

【請求項 2】 上記メモリアレイの選択されたメモリセルに対して読み出し電流を供給する初段増幅回路は、ダミーセルに対応した初段増幅回路と同等の回路から構成されるものであることを特徴とする請求項 1 の半導体記憶装置。

【請求項 3】 上記タイミング信号を発生させる回路は、インバータ回路からなり、その出力信号はセンスアンプを含む上記 2 つの初段増幅回路の動作を停止させるとともに上記センスアンプの出力信号を受けるデータ出力回路に設けられるラッチ回路に対してデータラッチ動作を指示するタイミング信号として利用されるものであることを特徴とする請求項 1 又は請求項 2 の半導体記憶装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 この発明は、半導体記憶装置に関し、例えば E P R O M ( イレーザブル & プログラマブル ・ リード ・ オンリー ・ メモリ ) に利用して有効な技術に関するものである。

## 【 0 0 0 2 】

【従来の技術】 E P R O M に関しては、例えば 1 9 9 0 年アイ・エス・エス・シー・シー・ダイジェスト オブ テクニカル ペーパーズ、第 5 6 頁 ( I S S C C D I G E S T O F T H C H N I C A L P A P E R S P . 5 6 ) がある。

## 【 0 0 0 3 】

【発明が解決しようとする課題】 本願発明者にとっては、低消費電力化等のために選択されたメモリセルからの読み出し信号が確定した後に出力データをラッチ回路に保持させるとともに、センスアンプ等の動作電流を遮断することを考えた。このため、メモリセルの読み出し信号が正確に確定したことを検出する必要が生じた。

【 0 0 0 4 】 例えば、高いしきい値電圧を持つようにしたダミーセルのデータ線の電位をインバータ回路等によりモニタして、読み出し信号の確定を間接的に判定することも考えられる。しかし、この場合には動作電圧の変化に対応して、正確にモニタできなくなるという問題がある。特に、動作電圧が低くなると、それに伴いデータ

線の読み出しハイレベルも低下して、インバータ回路の論理しきい値電圧に到達する時間が大幅に遅くなるか、もしくは上記電圧まで到達しなり動作不能に陥ってしまう。

【 0 0 0 5 】 この発明の目的は、メモリセルの読み出し終了タイミングを正確に検出できる機能を付加した半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【 0 0 0 6 】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、メモリアレイのワード線の選択レベルに対して高いしきい値電圧を持つようにされたダミーセルに対して、メモリアレイと選択動作に同期して選択するダミー選択回路を通して読み出し電流を供給するソース入力ゲート接地増幅 MOS FET を含む初段増幅回路を設け、この増幅 MOS FET のドレイン出力に基づいて読み出し終了のタイミング信号を発生させる。

## 【 0 0 0 7 】

【作用】 上記した手段によれば、ダミーセルが接続されたデータ線のプリチャージ電流が流れなくなることに応じて、増幅 MOS FET のドレイン出力が負荷により電源電圧まで高くなるので簡単に読み出し完了タイミングを知ることができる。

## 【 0 0 0 8 】

【実施例】 図 3 には、この発明に係る E P R O M の一実施例のブロック図が示されている。同図の各回路ブロックは、公知の C M O S 半導体集積回路の製造技術によって、単結晶シリコンのような 1 個の半導体基板上において形成される。同図において、P チャンネル MOS F E T は、そのチャンネル ( バックゲート ) 部に矢印が付加されることによって N チャンネル MOS F E T と区別される。このことは他の図面においても同様である。

【 0 0 0 9 】 特に制限されないが、集積回路は、単結晶 P 型シリコンからなる半導体基板に形成される。N チャンネル MOS F E T は、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。P チャンネル MOS F E T は、上記半導体基板表面に形成された N 型ウェル領域に形成される。

【 0 0 1 0 】 これによって、半導体基板は、その上に形成された複数の N チャンネル MOS F E T の共通の基板ゲートを構成し、回路の接地電位が供給される。N 型ウェル領域は、その上に形成された P チャンネル MOS F E T の基板ゲートを構成する。P チャンネル MOS F E T の基板ゲートすなわち N 型ウェル領域は、後述するよ

うな内部定電圧 $V_{cv}$ に結合される。ただし、外部から供給される電源電圧 $V_{cc}$ に対応した信号レベルを受ける入力回路であって、その電圧 $V_{cc}$ により動作させられる回路では $V_{cc}$ に結合され、高電圧回路であれば、それに対応するPチャンネルMOSFETが形成されるN型ウェル領域は、外部から与えられる高電圧 $V_{pp}$ 、内部発生高電圧等に接続される。

【0011】あるいは、集積回路は、単結晶N型シリコンからなる半導体基板上に形成してもよい。この場合、NチャンネルMOSFETと不揮発性記憶素子はP型ウェル領域に形成され、PチャンネルMOSFETはN型基板上に形成される。

【0012】この実施例のEPROMは、外部端子から供給されるXアドレス信号 $A_0 \sim A_i$ と、Yアドレス信号 $A_j \sim A_k$ とは、それぞれXアドレスバッファXADBとYアドレスバッファYADBに入力される。このアドレスバッファXADBとYADBを通したアドレス信号は、XアドレスデコーダXDCRとYアドレスデコーダYDCRに供給される。特に制限されないが、上記アドレスバッファXADBとYADBは、制御信号 $c_e$ により制御されて、EPROMが選択されたときに動作状態にされる。

【0013】XアドレスデコーダXDCRは、その動作電圧が内部定電圧 $V_{cc}$ と書き込み用の高電圧とされる。書き込み動作のときには上記高電圧 $V_{pp}$ により動作させられ、ベリファイ及び読み出し動作のときには図示しない電源電圧 $V_{cc}$ より低く設定された内部定電圧により動作させられる。XアドレスデコーダXDCRは、対応するアドレスバッファXADBから供給される内部アドレス信号に従ったメモリアレイMARYのワード線 $W_0 \sim W_n$ 等の選択信号を形成する。YアドレスデコーダYDCRは、上記同様にその動作電圧が電源電圧 $V_{cc}$ と書き込み用の高電圧とされ、書き込み動作のときには上記高電圧 $V_{pp}$ により動作させられ、読み出し動作のときには電源電圧 $V_{cc}$ により動作させられる。YアドレスデコーダYDCRは、対応するアドレスバッファYADBからの内部アドレス信号に従ったメモリアレイMARYのデータ線の選択信号 $Y_0, Y_1 \dots$ と後述するようなダミーデータ線DDの選択信号YDを形成する。

【0014】メモリアレイMARYは、代表として例示的に1つが示されている。このメモリアレイMARYは、例示的に示されているコントロールゲートとフローティングゲートを有するスタックドゲート構造の記憶素子（不揮発性メモリ素子 $\dots$  MOSFET $Q_1 \sim Q_3$ ）と、ワード線 $W_0 \sim W_n$ 、及びデータ線 $D_0, D_1 \dots$ とダミーデータ線DDとにより構成されている。上記メモリアレイMARYにおいて、同じ行に配置された記憶素子 $Q_1 \sim Q_3$ のコントロールゲートは、それぞれ対応するワード線 $W_0$ に接続され、同じ列に配置された記憶素子のドレインは、それぞれ対応するデータ線 $D_0, D$

$1 \dots$ とDDに接続されている。上記ダミーデータ線DDに接続されたメモリセル $Q_3$ は、ワード線の電圧に対して高いしきい値電圧を持つようにされる。

【0015】書き込みが行われるワード線は、その電圧が上記高電圧 $V_{pp}$ にされる。フローティングゲートに電子を注入すべき記憶素子が結合されたデータ線は、上記同様な高電圧 $V_{pp}$ にされる。これにより、記憶素子にチャンネル飽和電流が流れ、データ線に結合されたドレイン近傍のピンチオフ領域では高電界により加速された電子がイオン化を起こし、高エネルギーを持つ電子、いわゆるホットエレクトロンが発生する。一方、フローティングゲートは、ワード線が結合されたコントロールゲートの電圧とドレイン電圧、及び基板とフローティングゲート間の容量とフローティングゲートとコントロールゲートとの容量とに決まる電圧となり、ホットエレクトロンを誘引して、フローティングゲートの電位を負にする。

【0016】上記のような書き込みが行われたメモリセルは、コントロールゲートが結合されたワード線の電位を動作電圧 $V_{cc}$ のようなハイレベルの選択状態にしても非導通状態になるようなしきい値電圧に変化させられる。ダミーデータ線DDに接続されるメモリセルは、その全てが上記のような書き込みが行われることによって高いしきい値電圧を持つようにされる。上記電子の注入を行わないメモリセルのドレイン、言い換えるならば、データ線の電位は、ドレイン近傍のピンチオフ領域でホットエレクトロンが発生しないような低いレベルにされる。このように書き込みが行われないメモリセルは、コントロールゲートが結合されたワード線の電位を動作電圧 $V_{cc}$ のようなハイレベルの選択状態にしたときに導通状態になるような低しきい値電圧に維持される。

【0017】特に制限されないが、8ビット（あるいは16ビット等）のような複数ビットの単位での書き込み／読み出しを行うため、上記メモリアレイは、合計で8組（あるいは16組等）のように複数組設けられるよう構成される。同図には、8ビット単位のメモリアクセスを行うEPROMの例が示されている。

【0018】上記1つのメモリアレイMARYを構成する各データ線 $D_0, D_1 \dots$ 及びDDは、上記YアドレスデコーダYDCRによって形成されたカラム選択信号 $Y_0, Y_1 \dots$ を受けるカラムスイッチMOSFET $Q_7, Q_8 \dots$ を介して、共通データ線CDに接続される。また、ダミーデータ線DDは、ダミー選択信号YDを受けるダミースイッチMOSFET $Q_9$ を介してダミー共通データ線CDDに接続される。共通データ線CDには、外部端子I/O（ $D_0 \sim D_7$ ）から入力される書き込み信号を受ける書き込み用のデータ入力バッファ $DI_B$ の出力端子がスイッチMOSFET $Q_{18}$ を介して接続される。同様に他の残り7個のメモリアレイに対しても、上記同様なカラム選択回路スイッチMOSFETが

設けられ、それに対応したアドレスデコードにより選択信号が形成される。

【0019】上記メモリアレイに対応して設けられる共通データ線CDには、読み出し制御信号Yrによりスイッチ制御されるスイッチMOSFETQ16を介してセンスアンプSAの入力段回路を構成し、後に説明する初段増幅回路と同様な初段増幅回路PAの入力端子に結合される

【0020】上記例示的に示されている共通データ線CDは、読み出し制御信号Yrによりオン状態にされるMOSFETQ16を通して、初段増幅回路PAの入力に接続される。この初段増幅回路PAは、ソース入力でゲート接地型の増幅MOSFETを含み、初段増幅回路PAから読み出し動作のために共通データ線CDにプリチャージ電流を流すような動作を行う。上記ダミー共通データ線CDDは、上記同様なスイッチMOSFETQ17を介してタイミング発生回路TGに入力される。このタイミング発生回路は、そのダミーデータ線のプリチャージ電流を検出するために、言い換えるならば、メモリアレイMARYの読み出し完了を検出するために上記初段増幅回路PAと同等の回路が利用される。

【0021】上記初段増幅回路PAは、制御回路CONTから供給されるタイミング信号SACにより活性化させられる。この実施例では、上記のようなタイミング発生回路TGにより形成されたタイミング信号DLを利用してゲート回路G1を制御し、初段増幅回路PAの動作を制御する。すなわち、タイミング信号DLが出力されると、初段増幅回路PAの動作電流を遮断させて低消費電力モードにする。そして、上記タイミング信号DLにより、データ出力バッファDOBに設けられるラッチ回路FFを制御して、上記読み出されたデータを保持させる。

【0022】すなわち、メモリセルの読み出し時において、センスアンプ動作タイミング信号SACはロウレベルにされ、初段増幅回路PA及びタイミング発生回路TGが活性化させられる。そして、タイミング発生回路TGにより読み出し完了信号としてのタイミング信号DLが発生させられると、データラッチ動作が行われるとともに、タイミング信号SACがロウレベルであるにもかかわらず、タイミング信号DLのハイレベルにより初段増幅回路PAの動作が停止させられる。

【0023】メモリセルは、書き込みデータに従って、言い換えるならば、記憶情報に従って上述のようにワード線の選択レベルに対して高いしきい値電圧か又は低いしきい値電圧を持つようにされるものである。各アドレスデコードXDCRによって選択されたメモリセルにおいてワード線の選択レベルにされているにもかかわらずオフ状態にされている場合、共通データ線CDは、初段増幅回路PAからの電流供給によって比較的ハイレベルにされる。一方、選択されたメモリセルがワード線選択レ

ベルによってオン状態にされている場合、共通データ線CDは比較的ロウレベルにされる。

【0024】この場合、共通データ線CDのハイレベルは、初段増幅回路PAの持つリミッタ回路により比較的低い電位に制限される。一方、共通データ線CDのロウレベルも、比較的高い電位に制限される。このような共通データ線CDのハイレベルとロウレベルとを制限すると、この共通データ線CD等に信号変化速度を制限する浮遊容量等の容量が存在するにもかかわらず、読み出しの高速化を図ることができる。すなわち、複数のメモリセルからのデータを次々に読み出すような場合において共通データ線CDの一方のレベルが他方のレベルへ変化させられるまでの時間を短くすることができる。

【0025】初段増幅回路PAの出力信号は、CMOSインバータ回路N1の入力に伝えられる。CMOSインバータ回路N1は、そのロジックスレッシュホールド電圧を参照電圧として、ハイレベル/ロウレベルのセンスを行う。上記のような初段増幅回路PAとCMOSインバータ回路N1とによりセンスアンプが構成される。センスアンプを構成するCMOSインバータ回路N1の出力信号は、対応したデータ出力バッファDOBによって、特に制限されないが、増幅されて上記外部端子I/Oから送出される。また、上記外部端子I/Oから供給される書き込み信号は、入力バッファDIBを介して、上記共通データ線CDに伝えられる。×8ビットや×16ビット構成のために設けられる他のメモリアレイに対応した共通データ線と外部端子との間においても、上記同様な入力段回路及びセンスアンプ並びにデータ出力バッファDOBからなる読み出し回路と、データ入力バッファDIBからなる書き込み回路とがそれぞれ設けられる。

【0026】制御回路CONTは、特に制限されないが、外部端子CEB、OEB及びVppに供給されるチップイネーブル信号、アウトプットイネーブル信号、高電圧とを受けて、その動作モードに応じて制御信号ce、SACとアドレスデコードXDCR、YDCR及び入力バッファDIBに供給する動作電圧Vcc/Vppの切り替えを行う回路を含んでいる。

【0027】例えば、書き込み用高電圧Vppが供給された状態において、チップイネーブル信号CEBがロウレベルで、アウトプットイネーブル信号OEBがハイレベルなら書き込みモードとされ、上記内部信号ceはハイレベルにされる。そして、アドレスデコード回路XDCR、YDCR及びデータ入力回路DIBには、その動作電圧として上記高電圧VPPに対応した内部高電圧Vppが供給される。上記のように書き込みが行われるワード線は、その電圧が上記高電圧Vppになる。そして、フローティングゲートに電子を注入すべき記憶素子が結合されたデータ線は、上記同様な高電圧Vppにされる。これにより、記憶素子にチャンネル飽和電流が流れ、データ線に結合されたドレイン近傍のピンチオフ領域では高電

界により加速された電子がイオン化を起こし、高エネルギーを持つ電子、いわゆるホットエレクトロンが発生する。

【0028】一方、フローティングゲートは、ワード線が結合されたコントロールゲートの電圧とドレイン電圧、及び基板とフローティングゲート間の容量とフローティングゲートとコントロールゲートとの容量とに決まる電圧となり、ホットエレクトロンを誘引して、フローティングゲートの電位を負にする。これにより、コントロールゲートが結合されたワード線の電位を選択状態にしても非導通状態になるようにする。これに対して、電子の注入を行わない記憶素子のドレインは、ドレイン近傍のピンチオフ領域でホットエレクトロンが発生しないような低いレベルにされる。

【0029】書き込み用高電圧 $V_{pp}$ が供給された状態において、チップイネーブル信号 $\overline{CEB}$ がロウレベルで、アウトプットイネーブル信号 $\overline{OEB}$ がロウレベルなら、ベリファイモードとされ、上記内部信号 $SAC$ と $\overline{ce}$ はハイレベルにされる。このベリファイモードでは、上記各回路 $XDCR$ 、 $YDCR$ 及び $DI B$ の各動作電圧は高電圧 $V_{pp}$ から内部電圧に切り換えられる。これにより、メモリセルの選択が行われて記憶情報の読み出しが行われる。

【0030】書き込み用高電圧 $V_{pp}$ が書き込みに必要な高電圧でないこと、言い換えるならば、フローティング状態であったり、接地電位であったり、あるいは外部から供給される電圧 $V_{cc}$ レベルである状態において、チップイネーブル信号 $\overline{CEB}$ がロウレベルで、アウトプットイネーブル信号 $\overline{OEB}$ がロウレベルなら、前記説明したような読み出しモードとされ、上記内部信号 $SAC$ と $\overline{ce}$ はハイレベルにされる。各回路 $XDCR$ 、 $YDCR$ 及び $DI B$ の各動作電圧は電源電圧 $V_{cc}$ に切り換えられる。これにより、メモリセルの選択が行われて記憶情報の読み出しが行われる。

【0031】図1には、上記タイミング発生回路 $TG$ の一実施例の回路図が示されている。この実施例では、ダミーセルの読み出しを電源変動等の影響を受けることなく、正確にモニタするために、センスアンプの初段増幅回路と類似の回路が利用される。すなわち、ダミー共通データ線 $CDD$ には、プリチャージ電流 $I_2$ とレベルリミッタ機能を持つようにされた $MOSFETQ1$ が設けられる。この $MOSFETQ1$ のゲートには、ダミー共通データ線 $CDD$ の電位を受ける $MOSFETQ2$ とそのドレインに設けられたPチャンネル型の負荷 $MOSFETQ3$ からなるインバータ回路の出力信号が供給される。

【0032】上記ダミー共通データ線 $CDD$ には、増幅 $MOSFETQ7$ のソースが接続される。この増幅 $MOSFETQ7$ は、ソース入力の増幅 $MOSFET$ であり、そのドレインにはPチャンネル型の負荷 $MOSFET$

$TQ8$ が設けられる。この増幅 $MOSFETQ7$ からもダミーセルへのメモリ電流 $I_1$ が流れるようにされる。この増幅 $MOSFETQ7$ のゲートには、上記ダミー共通データ線 $CDD$ の入力レベルを受ける増幅 $MOSFETQ5$ と、そのドレインに設けられたPチャンネル型の負荷 $MOSFET$ からなるインバータ回路の出力信号が供給される。これにより、増幅 $MOSFETQ7$ のゲートには、ソース電位に対して反転増幅されたバイアス電圧が加わるために高感度とされる。

10 【0033】このタイミング発生回路は、センスアンプの初段増幅回路 $PA$ と同様にタイミング信号 $SAC$ により活性化される。すなわち、上記負荷 $MOSFETQ3$ や $Q8$ は、タイミング信号 $SAC$ がロウレベルのアクティブレベルになったときにのみオン状態となり抵抗素子として作用する。タイミング信号 $SAC$ がハイレベルにされると、上記 $MOSFETQ3$ 、 $Q8$ がオフ状態になって、直流電流の消費を防止する。また、タイミング信号 $SAC$ のハイレベルにより、Nチャンネル型 $MOSFETQ4$ 、 $Q5$ 及び $Q9$ がオン状態となり、上記プリチャージ $MOSFETQ1$ と増幅 $MOSFETQ7$ をオフ状態にするとともに、ダミー共通データ線 $CDD$ を回路の接地電位のようなロウレベルにリセットさせる。

20 【0034】センスアンプに用いられる初段増幅回路 $PA$ も上記 $MOSFETQ1$ 、 $Q7$ 等と同様な回路が用いられる。上記タイミング発生回路 $TG$ の $MOSFET$ を用いてセンスアンプの初段増幅回路 $PA$ の動作の概略を説明する。メモリアレイ $MARY$ 内の選択されたメモリセルが比較的高いしきい値電圧をもっている場合、共通データ線 $CD$ と回路の接地点との間に直流電流通路が形成されない。この場合、共通データ線 $CD$ は、 $MOSFETQ1$ と増幅 $MOSFETQ7$ 及び負荷 $MOSFETQ8$ からの電流供給によって比較的高いレベルにされる。このバイアス回路からのバイアス電流の供給は、共通データ線 $CD$ が所定電位に達すると、 $MOSFETQ2$ と $Q5$ がオン状態になってそのドレイン出力により $MOSFETQ1$ と $Q7$ をオフ状態にして読み出し電流が流れなくされる。それ故に、共通データ線 $CD$ のハイレベルは電源電圧 $V_{cc}$ 以下の比較的低い電位に制限される。

40 【0035】これに対して、メモリアレイ $MARY$ 内の選択されたメモリセルが比較的低いしきい値電圧をもっている場合、共通データ線 $CD$ と回路の接地点との間にカラムスイッチ $MOSFET$ 、データ線、選択されたメモリセルからなる直流電流経路が形成される。それ故に、共通データ線 $CD$ は、上記のような直流電流経路によって回路の接地電位のようなロウレベルになろうとする。しかし、共通データ線 $CD$ の電位が $MOSFETQ2$ と $Q5$ のしきい値電圧以下に低下すると、 $MOSFETQ2$ 、 $Q5$ がオフ状態になってドレイン側の電圧を高くして $MOSFETQ1$ と増幅 $MOSFETQ7$ のゲ

ト電圧を高める。この結果、共通データ線CDのロウレベルは比較的高い電位に制限される。

【0036】図1において、Pチャンネル型の負荷MOSFETQ8には、バイアス電流回路が並列に設けられる。バイアス電流を形成するMOSFETQ11は、Pチャンネル型MOSFETからなり、そのゲートには電源電圧Vccを受けるMOSFETQ15とNチャンネル型負荷MOSFETQ14の出力信号を受けるNチャンネル型MOSFETQ17と上記電源電圧Vccを受けるNチャンネル型MOSFET16により形成されるバイアス電圧が供給される。

【0037】これらの回路もタイミング信号SACによって活性化させられる。すなわち、タイミング信号SACを受けるPチャンネル型MOSFETQ13を介して、上記MOSFETQ14とQ15からなるインバータ回路、及びバイアス電圧を形成するMOSFETQ16とQ17の直列回路に動作電圧Vccが与えられる。また、ハイアス電流を流すMOSFETQ11のドレインにも、上記タイミング信号SACによって動作させられるパワースイッチとしてのPチャンネル型MOSFETQ12が設けられ、MOSFETQ11のソースと回路の接地電位との間には、リセット用のNチャンネル型MOSFETQ10が設けられる。

【0038】上記増幅MOSFETQ7のドレインであるノードN23の電圧は、CMOSインバータ回路N1に入力され、ここでハイレベル/ロウレベルの判定が行われる。このインバータ回路N1から上記タイミング信号DLが形成される。

【0039】この実施例のタイミング発生回路の動作を図2の動作波形図を参照して次に説明する。メモリアレイMARYの選択動作に同期して、ダミーデータ線DDが選択されて、上記電流I1とI2によってダミー共通データ線CDDの電位は上昇させられる。メモリセルの読み出しハイレベルに対応した一定レベルに到達すると、前記のようなレベルクランプ作用によってダミーデータ線CDDのプリチャージ動作が終了して一定の電位にされる。このようなプリチャージ動作の終了により、増幅MOSFETQ7のドレインにおけるノード23の電位は、負荷MOSFETQ8及びMOSFETQ11からの電流供給によって電源電圧Vccのようなハイレベルに向かって上昇する。

【0040】ノードN23の電位がCMOSインバータ回路N1の論理しきい値電圧VLに到達すると、その出力信号DLがハイレベルからロウレベルに変化する。これにより、読み出し完了を示すタイミング信号DLが形成される。この実施例のタイミング発生回路TGにおいても、消費電力の低減のためにタイミング信号SACが上記タイミング信号DLにより強制的にハイレベルに変化させられた場合には、負荷MOSFETQ8がオフ状態にさせられるが、前記のようなバイアス回路によって

インバータ回路N1の入力であるノードN23の電位は、電源電圧VCCまで確実に上昇させることができる。

【0041】上記のようなダミー共通データ線CDDのハイレベルと電源電圧Vccとの間の電圧差 $\Delta V$ のほぼ中間にインバータ回路N1の論理しきい値電圧を設定することにより、メモリアレイの読み出しタイミングに正確に対応した読み出し完了タイミング信号DLを得ることができる。すなわち、この実施例では、ダミー共通データ線に流れるプリチャージ電流をモニタしているため、電源電圧Vccの変動に影響されないで、正確な読み出し動作完了タイミング信号を得ることができるものである。

【0042】メモリアレイの読み出し動作は、上記のようなメモリセルが高いしきい値電圧を持つ場合に、アドレス選択動作からデータ線のプリチャージが終了するまでの一定時間を要するものである。これに対して、メモリセルが低いしきい値電圧を持つ場合には、データ線の電位はそれより低い電位によりアドレス選択動作により早いタイミングでプリチャージが完了するものである。これにより、上記のような高いしきい値電圧を持つダミーセルにより読み出し動作の終了を間接的にモニタすることができるものである。

【0043】図4には、上記タイミング信号DLによりEPROMの低消費電力化を行う場合の一実施例の回路状態遷移図が示されている。初期状態からメモリアクセスの開始により、データ線及びダミーデータ線のプリチャージ、言い換えるなば、メモリセルとダミーセルの読み出し動作が開始される。

【0044】上記のようなアドレス選択動作に対応してセンスアンプが活性化させられる。このセンスアンプの活性化により、タイミング発生回路も活性化させられてデータ出力確定のタイミング信号DLが発生させられる。このタイミング信号により、データラッチ動作が指示されるとともに、センスアンプの動作が停止させられる。これにより、比較的大きな直流電流を消費するセンスアンプが、メモリセルからの読み出し信号のセンスに必要な短い時間だけしか動作しないので、低消費電力化が可能になる。

【0045】図5には、この発明に係るEPROMが搭載された1チップのマイクロコンピュータMCUの一実施例のブロック図が示されている。同図において、破線で囲まれた部分は1つの集積回路を構成し、ここに形成された各回路ブロックは、公知の半導体集積回路の製造技術によって単結晶シリコンのような1個の半導体基板上において形成される。

【0046】記号CPUで示されているのは、マイクロプロセッサであり、その主要構成ブロックが代表として例示的に示されている。Aはアキュムレータ、Xはインデックスレジスタ、CCはコンディションコードレジス



タ、SPはスタックポインタ、PCH、PCLはプログラムカウンタ、CPU-CONTはCPUコントローラ、ALUは算術論理演算ユニットである。このようなマイクロプロセッサCPUの構成は、例えば、(株)オーム社から昭和53年4月10に発行された『マイクロコンピュータの基礎』矢田光治著によって公知であり、その詳細な説明を省略する。

【0047】記号PO1ないしPO4で示されているのは、入出力ポートであり、その内部にデータ伝送方向レジスタを含んでいる。上記入出力ポートPO3とPO4は、8ビットづつのデータの入出力に用いられること  
10 他、後述するバスBUSに含まれるアドレス信号を外部に送出する機能を持つ。例えば、入出力ポートPO3とバスBUSとの間にマルチプレクサが設けられ、その切り換えによって、データとアドレスとの切り換えが行われる。入出力ポートPO4は、動作モードの設定に応じてデータ入出力ポート又はアドレス出力ポートになる。

【0048】上記入出力ポートPO2は、特に制限されないが、6つの端子からなり、そのデータディレクションレジスタにより入出力方向が決められる。6ビットの出力バッファは3状態出力バッファになっており、入力  
20 として使用する場合には、出力バッファは高インピーダンス状態になる。入出力ポートPO2の4本の端子は、リセット期間中モードプログラミング用に使用される。リセット時のこの4つの端子のレベルは、入出力ポートPO2のラッチ回路に保持される。上記4つの端子を用いたモード設定の種類は、例えばシングルチップモード、エキスパンディッドマルチプレックスモード、エキ  
30 スパンディッドノンマルチプレックスモードと、後述するようなテストモードである。このようなモードの識別は、モード決定回路MODEにより行われる。

【0049】記号OSCで示されているのは、発振回路であり、特に制限されないが、外付される水晶振動子Xtalを利用して高精度の基準周波数信号を形成する。この基準周波数信号により、マイクロプロセッサCPUにおいて必要とされるクロックパルスが形成される。また、上記基準周波数信号は、タイマーの基準時間パルス  
40 としても用いられる。このタイマーは、カウンタCOUT、プリスケアラPR及びコントローラCONTとによって構成される。これらのタイマーには、ウォッチ・ドック・タイマー回路も含まれる。

【0050】記号RAMで示されているのは、ランダム・アクセス・メモリであり、例えば一時データの記憶回路、スタック領域又は汎用レジスタとして用いられる。記号EPROMで示されているのは、前記図1ないし図3で説明したようなイレーザブル&プログラマブル・リード・オンリー・メモリであり、主として各種情報処理のためのプログラム等が書込まれる。このEPROMは、特に制限されないが、そのパッケージに消去用の窓  
50 が設けられないことによって消去不能にされる。すなわ

ち、回路素子自体は、EPROMの構成を採るにも係わらず1回限りの書き込みしか行えないようにされる。

【0051】以上の各回路ブロックは、マイクロプロセッサCPUを中心としバスBUSによって相互に接続されている。このバスBUSには、データバスとアドレスバス及び各種制御信号線とが含まれるものである。

【0052】インタラプト制御回路INTCは、割り込み信号NMI、IRQに対する割り込み制御動作を行うものである。また、上記インタラプト制御回路INTCには、ホールド制御回路やリセット制御回路を含ませるものであってもよい。この場合には、それに応じた入力信号HALT、RES(図示せず)が供給される。また、このような割り込み等の入力端子は、前記入出力ポートPO1ないしPO4の中のいずれかの端子を共用するものとしてもよい。

【0053】上記のような1チップのマイクロコンピュータに搭載されるEPROMにおいても、前記のようなタイミング発生回路の搭載により、低消費電力化が可能になるとともに、読み出し完了信号DLをマイクロプロセッサCPUに伝えて、読み出しデータの取り込みタイ  
ミングや、次のアドレス指定の要求信号として利用するものであってもよい。

【0054】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) メモリアレイのワード線の選択レベルに対して高いしきい値電圧を持つようにされたダミーセルに対して、メモリアレイと選択動作に同期して選択するダミー選択回路を通して読み出し電流を供給するソース入力でゲート接地増幅MOSFETを含む初段増幅回路を設けることにより、ダミーセルが接続されたデータ線のブリ  
チャージ電流が流れなくなることに応じて、増幅MOSFETのドレイン出力が負荷等により電源電圧まで高くなるので電源電圧の変動に影響されないで正確に読み出し完了タイミングを検出することができるという効果が得られる。

【0055】(2) 上記(1)により、センスアンプの動作を制御することにより、低消費電力化を図ることができるという効果が得られる。

【0056】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図1においてバイパス回路を省略してもよい。その代わりに負荷MOSFETQ8のゲートに定常的に回路の接地電位を与えて抵抗素子として作用させればよい。あるいは、インバータ回路の出力部にラッチ回路を設けて、タイミング信号DLをラッチさせるようにするものであ  
てもよい。この場合には、ノードN23の電位は、インバータ回路N1の論理しきい値電圧VLを超えるとその電位に維持される。読み出し終了タイミング信号DL

は、センスアンプの動作の他にワード線やデータ線の選択動作も停止させるようにするものであってもよい。すなわち、メモリ全体を非活性化させるようにするものであってもよい。

【0057】メモリセルは、前記のようなEPROMを構成するもの他、ワード線の選択レベルに対して高いしきい値電圧か低いしきい値電圧を持つようにされたものであればよい。それ故、本発明は、電氣的に消去されるEEPROM（エレクトリカル・イレーザブル&プログラマブル・リード・オンリー・メモリ）や、マスクROM等のような半導体記憶装置に広く利用できるものである。

#### 【0058】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、メモリアレイのワード線の選択レベルに対して高いしきい値電圧を持つようにされたダミーセルに対して、メモリアレイと選択動作に同期して選択するダミー選択回路を通して読み出し電流を供給するソース入力の増幅MOSFETを含む初段増幅回路を設けることにより、ダミーセルが接続されたデータ線のプリチャージ電流が流れなくなることに応じて、増幅MOSFETのドレイン出力が負荷等により電源電圧まで高くなるので電源電圧の変動に影響されないで正確に読み出し完了タイミングを検出することができる。

#### 【図面の簡単な説明】

【図1】この発明に係るEPROMに設けられるタイミング発生回路の一実施例を示す回路図である。

【図2】

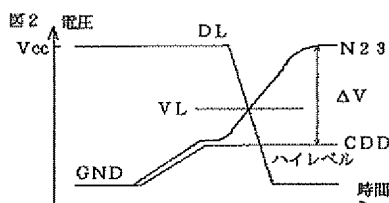
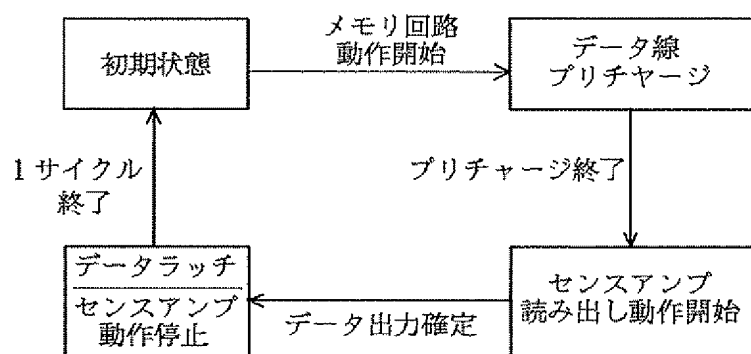


図4



【図2】その動作の一例を説明するための波形図である。

【図3】この発明に係るEPROMの一実施例を示すブロック図である。

【図4】この発明に係るEPROMの回路状態遷移図である。

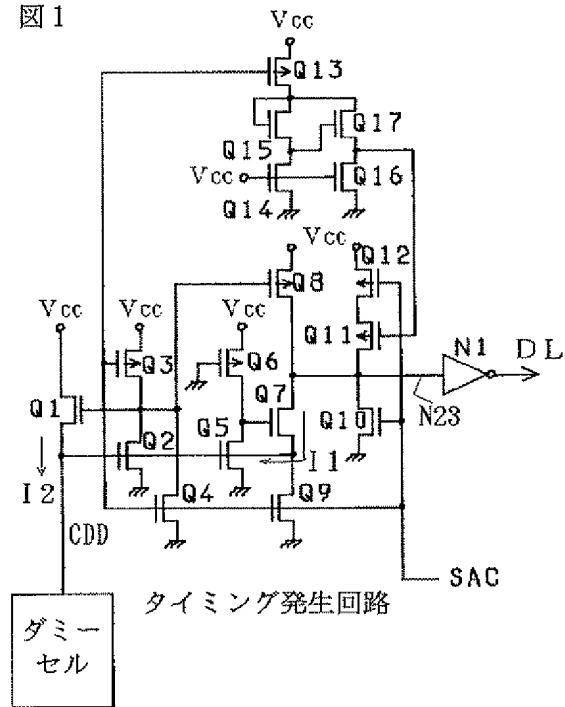
【図5】この発明に係るEPROMが搭載された1チップマイクロコンピュータの一実施例を示すブロック図である。

#### 【符号の説明】

MARY…メモリアレイ、XADB…Xアドレスバッファ、YADB…Yアドレスバッファ、XDCR…Xアドレスデコーダ、YDCR…Yアドレスデコーダ、PA…初段増幅回路、CONT…制御回路、TG…タイミング発生回路、CD…共通データ線、CCD…ダミー共通データ線、DOB…データ出力バッファ、DIB…データ入力バッファ、CPU…マイクロプロセッサ、CPU-CONT…CPUコントローラ、ALU…算術論理演算ユニット、A…アキュムレータ、CC…コンディションコードレジスタ、SP…スタックポインタ、PCH、PCL…プログラムカウンタ、RAM…ランダム・アクセス・メモリ、EPROM…イレーザブル&プログラマブル・リード・オンリー・メモリ、INTC…インタラプト制御回路、PO1～PO4…入出力ポート、OSC…発振回路、COUT…カウンタ、CONT…コントローラ、PR…プリスケラ、BUS…バス、MODE…モード決定回路。

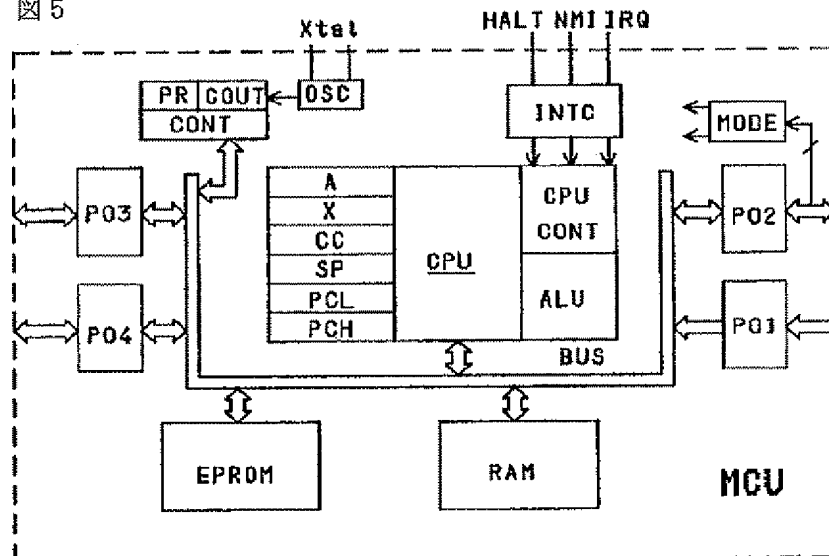
【図 1】

図 1

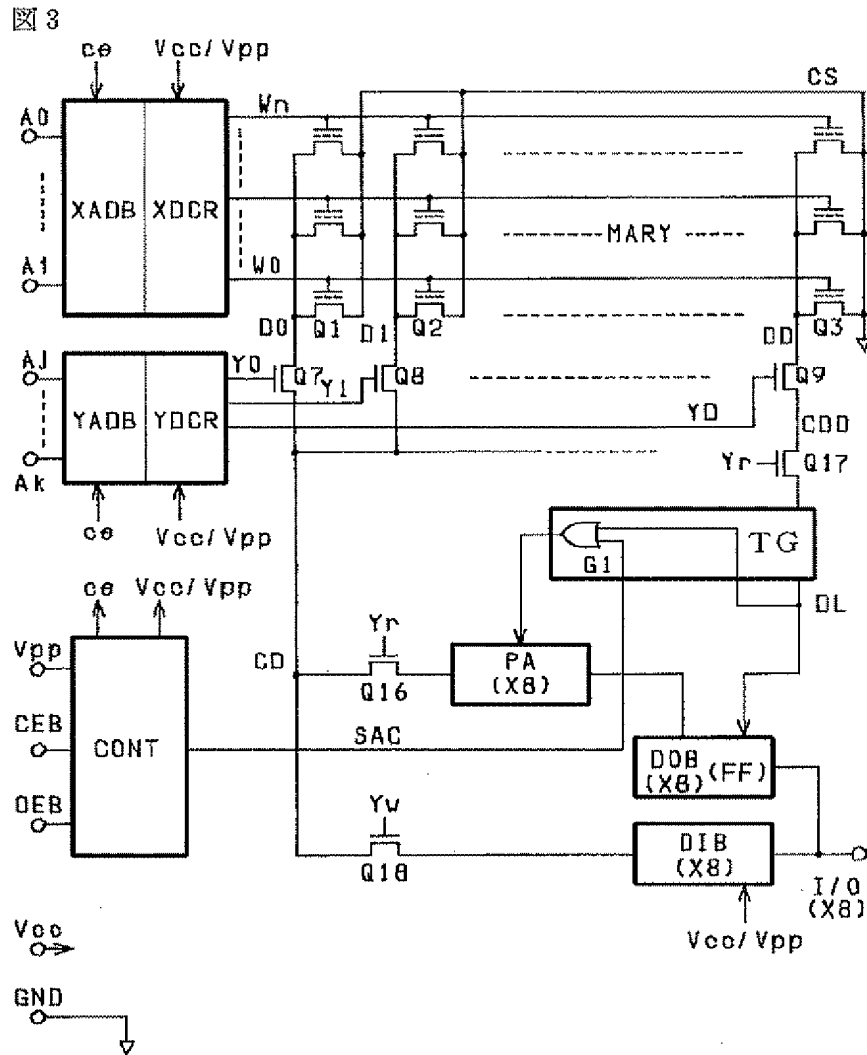


【図 5】

図 5



【図3】



フロントページの続き

(72)発明者 石橋 謙一  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所武蔵工場内

(72)発明者 岩淵 勝  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所武蔵工場内